

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065151

(43)Date of publication of application : 06.03.1998

(51)Int.Cl.

H01L 29/78
H01L 21/316
H01L 21/318
H01L 21/336

(21)Application number : 08-214799

(71)Applicant : SONY CORP

(22)Date of filing : 14.08.1996

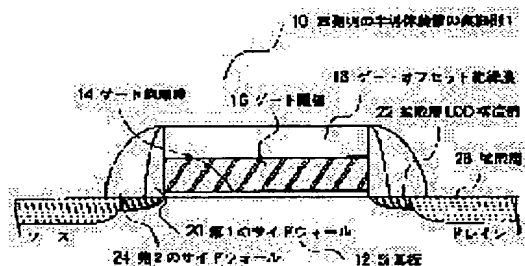
(72)Inventor : NAKAYAMA SO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the electrode structure capable of suppressing the occurrence of current leakage.

SOLUTION: This semiconductor device 10 has a gate electrode structure made of a gate insulating film 14, a gate electrode 16 and a gate offset insulating film 18 on an Si substrate 12. The first sidewall 20 made of Si₃N₄, SiO₂, etc., in a width almost equivalent to the diffusion length in the lateral direction of an LDD diffused layer is formed outside the gate electrode structure. A diffused layer LDD structure part 22 is formed on the Si substrate surface layer on the lower side and outside the first sidewall. The second sidewall 4 made of Si₃N₄, SiO₂, etc., is formed outside the first sidewall. A source/drain diffused layer 26 is formed on the Si substrate surface layer outside the second sidewall 24. Since the overlapping regions of the gate electrode and the diffused LDD structure part is either non-existent or extremely narrow even if existent, the current leakage due to the field distribution can be suppressed, thereby enabling the electrostatic capacity between gate/source and gate/drain to be made small.



LEGAL STATUS

[Date of request for examination] 28.02.2003

[Date of sending the examiner's decision of rejection] 09.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65151

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
21/316			21/316	X
21/318			21/318	B
21/336			29/78	3 0 1 L
				3 0 1 P
審査請求 未請求 請求項の数4 O L (全 5 頁)				

(21) 出願番号 特願平8-214799

(22) 出願日 平成8年(1996) 8月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中山 創

東京都品川区北品川6丁目7番35号 ソニー株式会社内

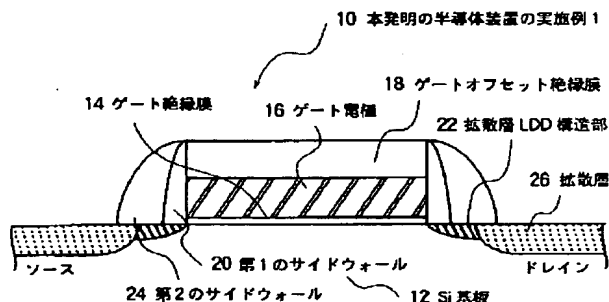
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電界による電流リークの発生を抑制するようなゲート電極構造を提供する。

【解決手段】 本半導体装置10は、Si基板12上に、ゲート絶縁膜14、ゲート電極16及びゲートオフセット絶縁膜18からなるゲート電極構造を有する。ゲート電極構造の外側にはLDD拡散層の横方向拡散長さにはほぼ等しい幅のSi₃N₄、SiO₂等からなる第1のサイドウォール20が形成されている。第1のサイドウォールの下側及び外側のSi基板表層には拡散層LDD構造部22が形成されている。第1のサイドウォールの外側にはSi₃N₄、SiO₂等からなる第2のサイドウォール24が形成されている。第2のサイドウォールの外側のSi基板表層にはソース/ドレイン拡散層26が形成されている。ゲート電極と拡散層LDD構造部とのオーバーラップ領域が、存在しないか、または存在しても極めて小さいので、ゲート電極からの電界分布による電流リークが抑制される。ゲート/ソース間、及びゲート/ドレイン間の静電容量を小さくできる。



【特許請求の範囲】

【請求項1】 ゲート電極の両側面にLDDサイドウォールとしてLDD拡散領域の横方向拡散長にほぼ等しい幅の第1のサイドウォールと、その外側に第2のサイドウォールを備え、

第1のサイドウォールの下側及び外側の基板表層にLDD拡散領域を、

第2のサイドウォールの下側の一部及び外側の基板表層にソース／ドレイン拡散領域をそれぞれ備えていることを特徴とする半導体装置。

【請求項2】 第1のサイドウォールを構成する物質の誘電率が、第2のサイドウォールを構成する物質の誘電率より低いことを特徴とする請求項1に記載の半導体装置。

【請求項3】 半導体基板上にゲート酸化膜を下層とするゲート電極を形成した後に、CVD法により成膜し、エッチバックして第1のサイドウォールを形成する工程と、

イオンインプランテーションを行ってLDD拡散領域を形成する工程と、

第1のサイドウォールの外側にCVD法により成膜し、次いでエッチバックして第2のサイドウォールを形成する工程と、

イオンインプランテーションを行ってソース／ドレイン拡散領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項4】 第1のサイドウォールをCVD法で成膜した薄いTEOS膜で形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、更に詳細には、ゲート電極からの電界分布による電流リーク(GIDL)を抑制し、かつ高速動作性及び高周波動作性に優れたゲート電極構造を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】半導体装置の高集積化、従って半導体装置の素子寸法の微細化に伴い、半導体装置内部の電界は、高くなる傾向にある。ところで、高電界が半導体装置の特性に及ぼす好ましくない影響の一つとして、ゲー

$$I_d = A \cdot E_s \cdot \exp(-B/E_s)$$

【0007】と表される。ただし、A、Bはそれぞれ定数である。この式は、 E_s が小さいほどリーク電流 I_d を小さく抑えられることを表している。また、電界 E_s は、図5のGIDLの簡単な解析モデルにそれぞれ示すゲートドレイン間電圧 V_{gd} 及び酸化膜厚 T_{ox} に基づ

き、ト電界が引き起こすリーク電流(Gate Induced Drain Leakage: 以下、簡単にGIDLと言う)の増大がある。以下に、従来の半導体装置の層構造を示す図4を参照して、この電流リークの発生メカニズムを説明する。図4に示すように、半導体装置のゲート電極1から発した電界が、ゲート／拡散層オーバーラップ領域5のゲート絶縁膜2／半導体LDD部の界面に強く分布するため、その領域付近における半導体中のキャリアがトンネルリークして、電流リークが生じる。図4で、4はSi基板、3はソース又はドレイン拡散層又はLDD拡散層、6はソース領域及び7はドレイン領域である。従来、このリーク電流を抑制する方法として、ゲート構造の形成後、ゲート構造を再酸化することによって、この領域の絶縁膜の膜厚を局部的に厚くしてゲート電界を小さくする方法が知られている。

【0003】

【発明が解決しようとする課題】しかし、この方法は、絶縁膜の膜厚を厚くすることによりリーク電流を抑制していることから、絶縁膜の薄膜化に伴い、いずれは要求される条件を満たすことが困難になると予測される。また、この方法は、ゲート構造の再酸化を行うため、その際の熱負荷によって基板中の不純物が拡散すること、ゲート不純物の相互拡散が生じること、ゲートのボロン突き抜け拡散などの諸問題を併発することが予測される。

【0004】以上のような事情に照らして、本発明の目的は、ゲート電界による電流リークの発生を抑制するようなゲート電極及び拡散層(LDD)構造を備えた半導体装置及びその製造方法を提供することである。

【0005】

【課題を解決するための手段】本発明者は、ゲート電界による電流リークの発生を抑制する目的を達成するために、まず、GIDLの発生メカニズムを研究、報告している718〜721-IEDM87に掲載のT.Y.Chan等の論文、The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling等に着目した。これらの論文によれば、GIDLに起因したドレインリーク電流 I_d は、半導体／ゲート絶縁膜表面電界における電界強度 E_s を用いて、

【0006】

【数1】

(1)

き、絶縁膜比誘電率 k_{ox} 及び半導体比誘電率 k_s を用いて次のように表される。

【0008】

【数2】

$$K_{ox} \cdot (V_{gd} - V_{bend}) \cdot$$

$$E_s = \frac{K_{ox} \cdot (V_{gd} - V_{bend}) \cdot}{K_s \cdot T_{ox}} \quad (2)$$

【0009】ただし、 V_{bend} はゲート電界に起因した半導体バンド曲がりであり、この値が半導体の禁制帯幅 E_g を越えた時点でトンネルリークが発生することなどから、リーク電流の解析では、通常、 $V_{bend} = 1.2V$ ($\equiv E_g$)を代入して(2)式の計算を行う。

【0010】本発明者は、従来方法のように絶縁膜を厚くするかわりに、即ち式(2)の T_{ox} を大きくする代わりに、ゲート拡散層オーバーラップ領域を極めて小さくすることによって、(1)式におけるAの項の値等を変化させ、その結果、図3に示すように、 $GIDL$ に起因したリーク電流 I_d を $LOCOS$ 周辺部等で発生した他のリーク電流以下に抑制することができることに着眼した。

【0011】上記知見に基づき、本発明に係る半導体装置は、ゲート電極の両側面に LDL サイドウォールとして LDL 拡散領域の横方向拡散長にほぼ等しい幅の第1のサイドウォールと、その外側に第2のサイドウォールを備え、第1のサイドウォールの下側及び外側の基板表層に LDL 拡散領域を、第2のサイドウォールの外側の基板表層にソース/ドレイン拡散領域をそれぞれ備えていることを特徴としている。好ましくは、第2のサイドウォールを構成する物質の誘電率より第1のサイドウォールを構成する物質の誘電率を低くすることにより、ゲート/ソース間及びゲート/ドレイン間の静電容量を低減して、高速動作に適した半導体装置を実現する。

【0012】また、本発明に係る半導体装置の製造方法は、半導体基板上にゲート酸化膜を下層とするゲート電極を形成した後、 CVD 法により成膜し、エッチバックして第1のサイドウォールを形成する工程と、イオンインプランテーションを行って LDL 拡散領域を形成する工程と、第1のサイドウォールの外側に CVD 法により成膜し、次いでエッチバックして第2のサイドウォールを形成する工程と、イオンインプランテーションを行ってソース/ドレイン拡散領域を形成する工程とを備えることを特徴としている。好ましくは、第1のサイドウォールを CVD 法で成膜した薄い $TEOS$ 膜で形成することにより、第1のサイドウォールを形成する際のエッチバック操作を省くことが出来る。

【0013】本発明によれば、ゲート電極の両側面に LDL サイドウォールとして LDL 拡散領域の横方向拡散長にほぼ等しい幅の第1のサイドウォールと、第1のサイドウォールの下側及び外側の基板表層に LDL 拡散領域を備えることにより、ゲート電極/ LDL 拡散層のオーバーラップ領域を最小化することができる。また、ゲート電極/ LDL 拡散層のオーバーラップ領域の最小化により、ゲート/ソース間及びゲート/ドレイン間の静

電容量を低減できる。

【0014】

【発明の実施の形態】以下に、添付図面を参照して、実施例に基づいて本発明をより詳細に説明する。

本発明に係る半導体装置の実施例1

図1は、本発明に係る半導体装置の実施例の層構造を示す模式図である。本実施例の半導体装置10は、図1に示すように、 Si 基板12上に、ゲート絶縁膜14、ゲート電極16及びゲートオフセット絶縁膜18からなるゲート電極構造を有する。ゲート電極構造の外側には、例えば Si 、 N 、からなる LDL イオンインプランテーションの横方向拡散長にほぼ等しい幅の第1のサイドウォール20が形成されている。第1のサイドウォール20の下側及び外側の Si 基板12表層にはイオンインプランテーションにより拡散層 LDL 構造部22が形成されている。第1のサイドウォール20の外側には、例えば Si 、 N 、からなる第2のサイドウォール24が形成されている。第2のサイドウォール24の外側の Si 基板12表層にはイオンインプランテーションによりソース/ドレイン拡散層26が形成されている。

【0015】以下に、図1に示す実施例1の半導体装置10の作製方法を説明する。

(1) 従来と同様にして、 Si 基板12上にゲート絶縁膜14、ゲート電極16及びゲートオフセット絶縁膜18をそれぞれ形成し、次いでエッチング加工を行いゲート構造を形成する。

(2) 次いで、 LDL イオンインプランテーションの横方向拡散長に合わせた幅を持つ第1のサイドウォール20を CVD 法及びエッチバック法により形成する。

(3) LDL のイオンインプランテーションを行い、拡散層 LDL 構造部22を形成する。

(4) 第2のサイドウォール24を CVD 法及びエッチバック法により形成する。

(5) 以下、従来と同じ方法により半導体装置の製造工程を実施する。

【0016】本実施例では、図1に示すように、第1のサイドウォール20が拡散層 LDL 構造部22の横方向拡散長と同じ幅を有しているため、ゲート電極14と拡散層 LDL 構造部22とのオーバーラップ領域が、存在しないか、または存在しても極めて小さい。よって、本実施例では、ゲート電極からの電界分布による電流リークが発生しない。また、ゲート/ソース間及びゲート/ドレイン間の静電容量は、それぞれ、このオーバーラップ領域におけるゲート絶縁膜を介した静電容量と、その他の静電容量成分との和で構成されている。本実施例では、上述のように、このオーバーラップ領域が無い、若しく

は微小であるから、ゲート／拡散層オーバーラップ領域における静電容量がゼロもしくは微小である。この結果、本実施例のゲート／ソース間、及びゲート／ドレイン間の静電容量は、ゲート／拡散層オーバーラップ領域を有する従来構造の半導体装置と比較して小さい。

【0017】実施例2

図2は、本発明に係る半導体装置の別の実施例の層構造を示す模式図である。本実施例の半導体装置30では、実施例1の第1のサイドウォール20が Si_3N_4 で形成されているのに対して、本実施例の第1のサイドウォール32は、CVD法で成膜した薄いTEOS膜で形成されている。これ以外の構成は、実施例1の半導体装置10の構成と同じであって、実施例1と同じ効果を奏する。本実施例では、第1のサイドウォール32がCVD法で成膜した薄いTEOS膜で形成されているので、実施例1の第1のサイドウォール20の形成の際に必要であったエッチバック工程が不要である。

【0018】実施例3

図3は、本発明に係る半導体装置の更に別の実施例の層構造を示す模式図である。本実施例の半導体装置40では、第1のサイドウォール42が誘電率の低い SiO_2 で形成され、外側の第2のサイドウォール44 Si_3N_4 で形成されている。これにより、ゲート／ソース間、及びゲート／ドレイン間の静電容量、更にゲート／コンタクト静電容量を実施例1に比べて更に一層低下させることができる。また、本実施例では、ゲート周りの寄生容量を小さく抑えることが可能と考えられ、従って、半導体装置の高速度動作性を向上させることができる。

【0019】

【発明の効果】本発明の構成によれば、ゲート電極の両側面にLDDサイドウォールとしてLDD拡散領域の横方向拡散長にほぼほぼ等しい幅の第1のサイドウォールと、第1のサイドウォールの下側及び外側の基板表層にLDD拡散領域を備えることにより、ゲート電極／拡散

層のオーバーラップ領域を最小化することができる。これにより、(1)GIDLに起因したリーク電流を抑制することができる。(2)ゲート電極構造の再酸化を行わなくてよいため、その際の熱プロセスに起因した諸問題を発生させないという効果がある。(3)ゲート／ソース間及びゲート／ドレイン間の静電容量を小さくすることができ、半導体装置の高周波動作性及び高速動作性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施例1の層構造を示す模式図である。

【図2】本発明に係る半導体装置の実施例2の層構造を示す模式図である。

【図3】本発明に係る半導体装置の実施例3の層構造を示す模式図である。

【図4】従来の半導体装置の層構造を示す模式図である。

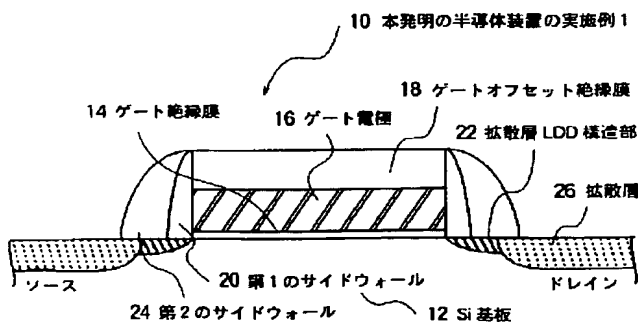
【図5】GIDLの発生メカニズムを説明する模式図である。

【図6】GIDLを抑制されることを説明するグラフである。

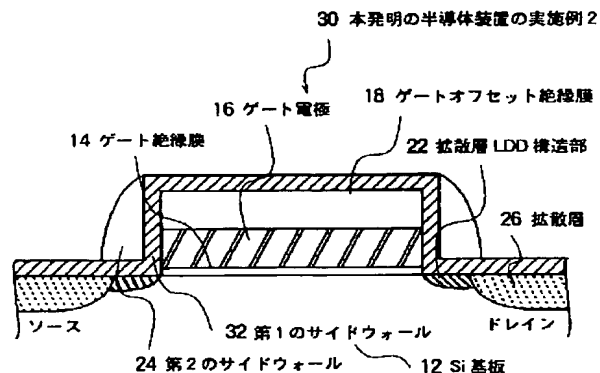
【符号の説明】

1……ゲート電極、2……ゲート絶縁膜、3……ソース又はドレイン拡散層又はLDD拡散層、4…… Si 基板、5……ゲート／拡散層オーバーラップ領域、6……ソース領域、7……ドレイン領域、10……実施例1の半導体装置、12…… Si 基板、14……ゲート絶縁膜、16……ゲート電極、18……ゲートオフセット絶縁膜、20……第1のサイドウォール、22……拡散層LDD構造部、24……第2のサイドウォール、26……ソース／ドレイン拡散層、30……実施例2の半導体装置、32……第1のサイドウォール、40……実施例3の半導体装置、42……第1のサイドウォール、44……第2のサイドウォール。

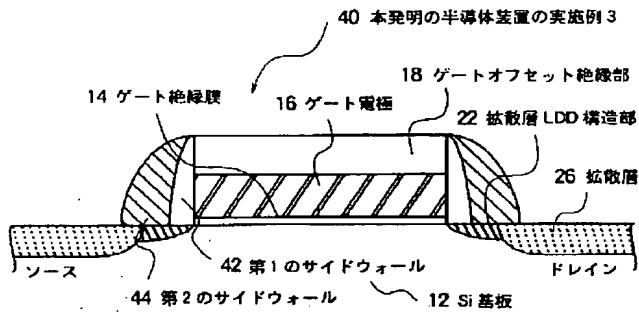
【図1】



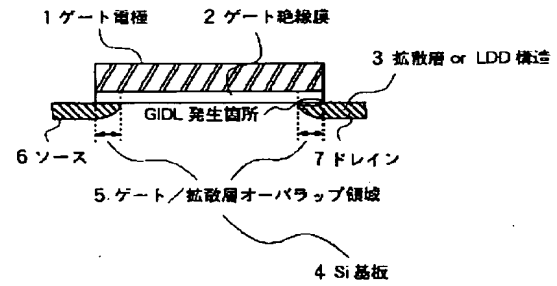
【図2】



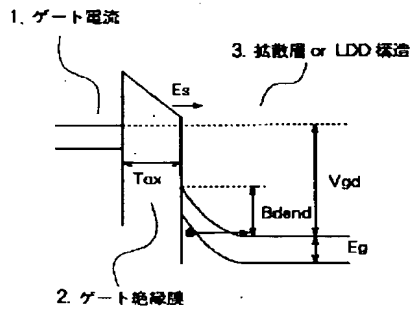
【図3】



【図4】



【図5】



【図6】

